

物理设计

Floorplan (布图规划)

李兴权

iEDA

01

布图规划

02

宏单元布局

Floorplanning (布图规划)

- 布图规划 (Floorplanning) 是逻辑描述 (网表) 和物理描述 (布图平面图) 之间的映射。

- 任务:

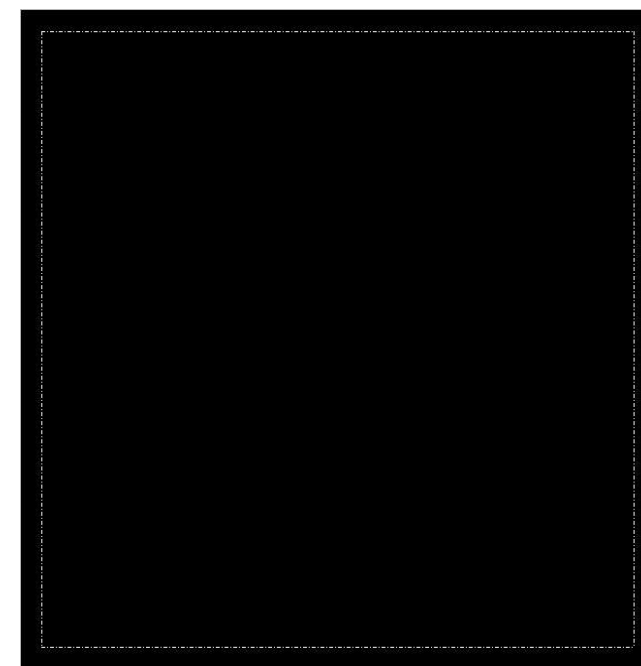
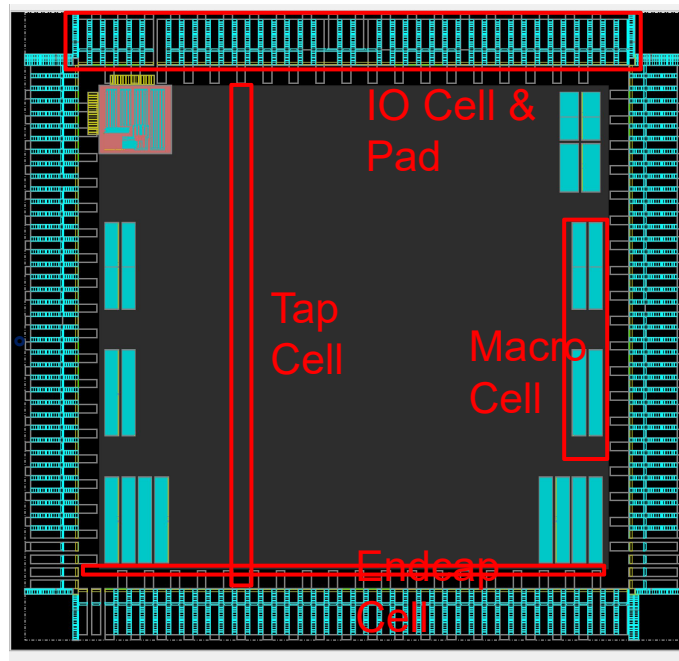
- 1. 定义芯片尺寸和核心区域尺寸。
- 2. 确定 I/O 引脚的位置。
- 3. 确定宏单元 (模块) 的放置位置。
- 4. 决定电源网络及过孔/引脚设计。
- 5. 定义电源域。
- 6. 放置物理单元 (如 tap cell、endcap 等)

- 目标:

- 最小化芯片面积
- 最小化延迟
- 最小化布线拥堵

- 概念:

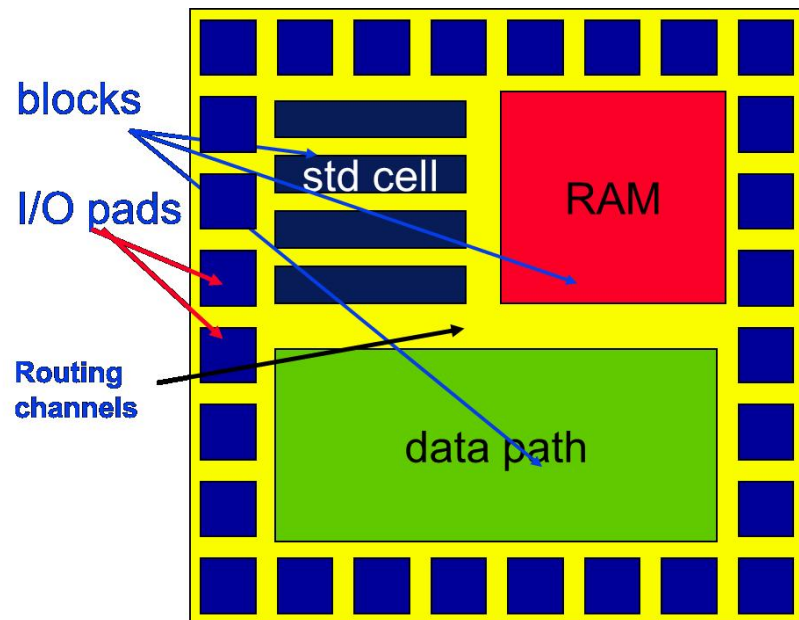
- 芯片尺寸, 门数量, 金属层数量, 与外部接口的连接方式, 硬核 IP/宏单元, 电源分配, 多电压设计, 时钟方案, 扁平设计或分层设计?



Input & Output (输入输出)

Inputs

- 设计网表 (必需)
- 面积需求 (必需)
- 功耗需求 (必需)
- 时序约束 (必需)
- 物理分区信息 (必需)
- 芯片尺寸、性能与进度之间的权衡 (必需)
- I/O 放置信息 (可选)
- 宏单元放置信息 (可选)

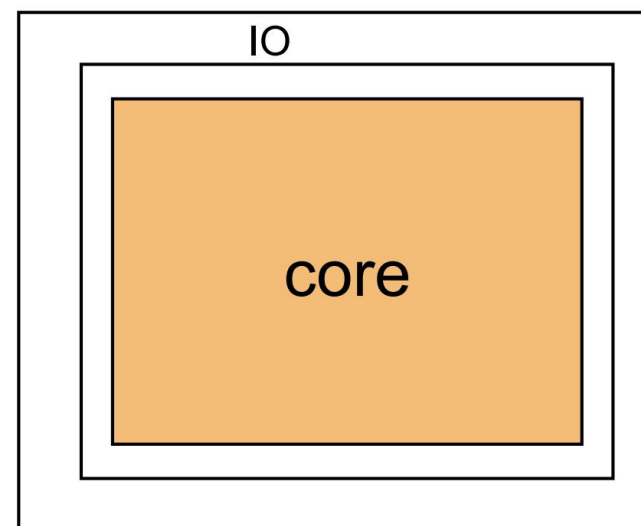
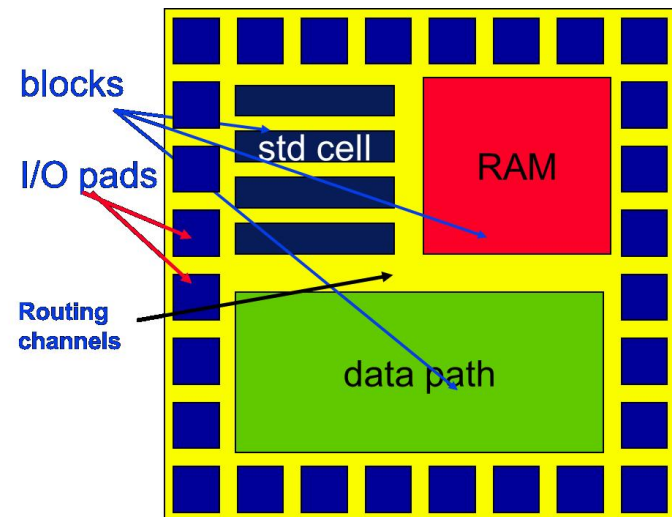


Outputs

- 芯片/模块面积
- I/O 的放置位置
- 宏单元的放置位置
- 电源网格设计
- 电源预布线
- 标准单元放置区域

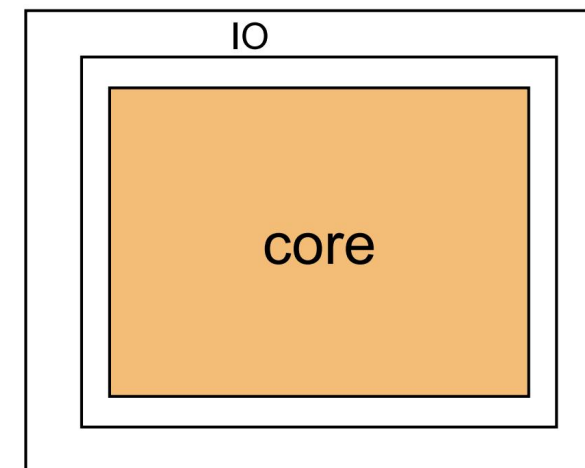
Core and IO Region

- 1. 布图CORE 类型单元布图
 - 布图如果一个单元类型是 布图CORE布图，则它只能被放置在 布图CORE 行布图中。
 - 布图CORE 行主要用于放置标准单元和逻辑单元。
- 2. 布图IO 类型单元布图
 - 布图如果一个单元类型是 布图IO布图，则它只能被放置在 布图IO 行布图中。
 - 布图IO 行通常位于芯片外围区域，用于放置输入/输出引脚单元（如信号引脚、功率引脚等）。
 - 引脚布局通常由前端设计人员决定，并结合物理设计和封装工程师的意见。
 - I/O 引脚通常不随摩尔定律扩展，因此在面积成本上非常昂贵。
 - I/O 引脚不仅用于将信号连接到外部，还用于为芯片提供电源。



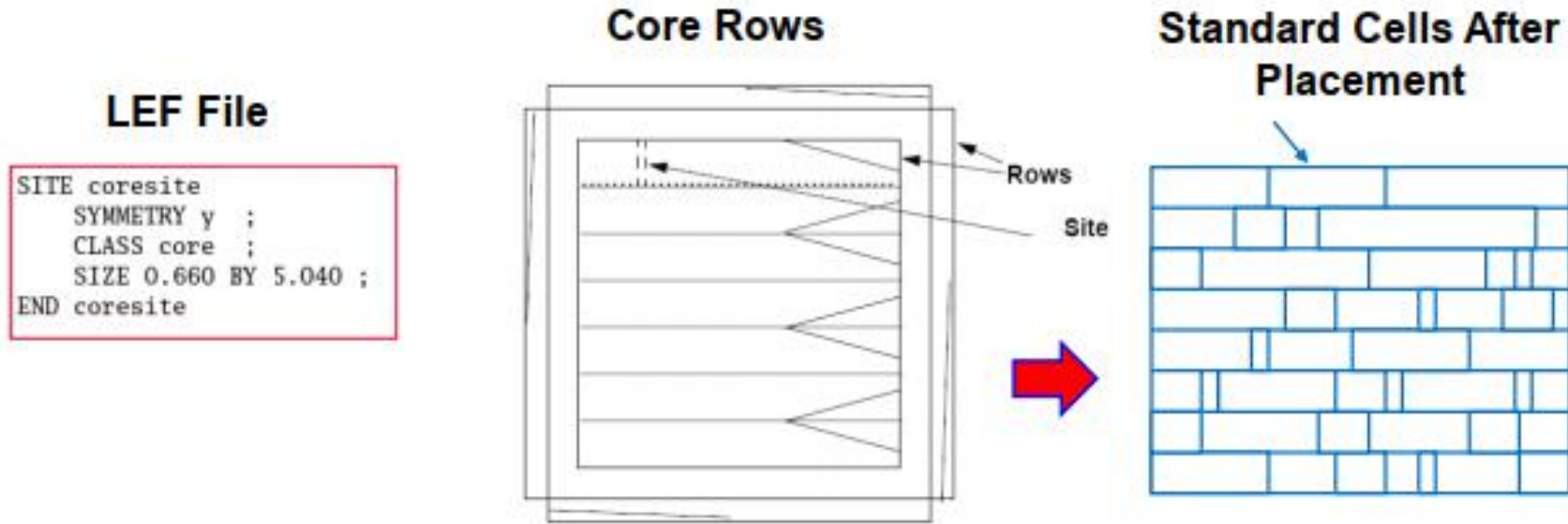
Core and IO Region

- 从以下内容生成：
 - 布图门级网表布图
 - 布图相关的物理库布图
 - 布图默认或用户指定的长宽比和利用率布图
- 任务：
 1. 布图计算所有宏单元和叶单元的面积布图
 2. 布图生成边界形状和单元放置行布图
 3. 布图放置 I/O 引脚单元布图
 - 布图布图信号引脚布图
 - 布图布图填充单元和角引脚布图
 - 布图布图凸点 (Bump) 或倒装芯片 (Flip-chip) I/O 引脚布图



$$\text{Utilization} = 100\% * (\text{Total Std Cell} + \text{Macro Cell Area}) / \text{Core Area}$$

Row (行) , Site (站点)



Site

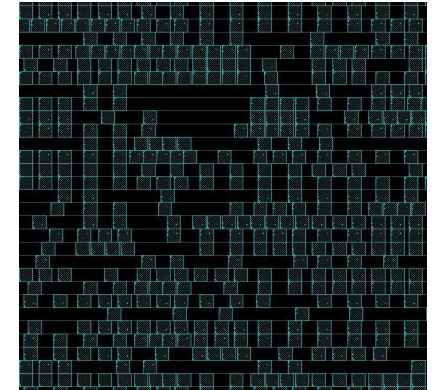
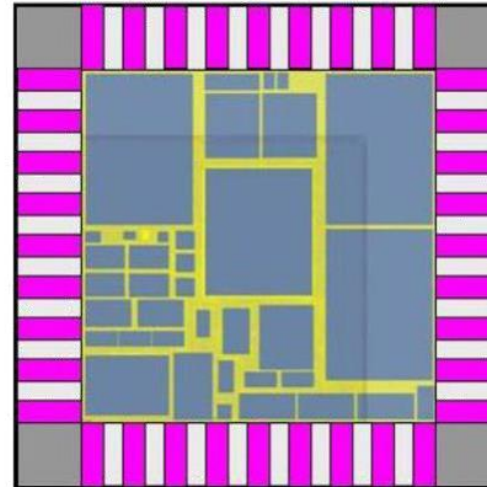
A site is the minimum unit of placement. It represents a slot where a cell can be placed. Rows are multiples of sites and define locations where the placement tool places cells.

Utilization (利用率)

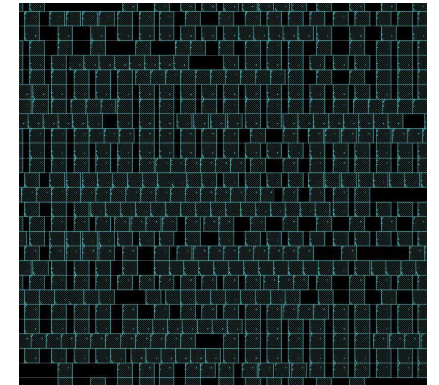
- 利用率指的是核心区域中被标准单元占据的百分比。
 - 一个典型的起始利用率可能在 60%-80% 之间。
 - 这一比例会根据设计不同而变化。
- 高利用率可能带来的问题：
 - 1. 布线拥堵
 - 布图在高利用率下，布线可能会变得更加拥堵，导致信号传输延迟和设计优化困难。
 - 布图在优化合法化过程中，高利用率可能产生负面影响。
 - 2. 局部拥堵
 - 布图特别是对于像多路复用器 (multiplexer) 这样的引脚密集型单元，局部区域的拥堵可能更为严重。
 - 布图因此，仅仅依靠利用率来确定芯片尺寸是不完全准确的。
- 解决办法：
 - 进行快速试验布线，以检查是否存在布线拥堵。
 - 如果发现问题，可以通过调整综合设计或增加布线资源来优化设计。

$$\text{Core Utilization} = 100\% * \text{Total Std Cell Area} / \text{Core Area}$$

$$\text{Die Utilization} = 100\% * (\text{Total Std Cell Area} + \text{Macro Cell Area} + \text{IO Ring Area}) / \text{Die Area}$$



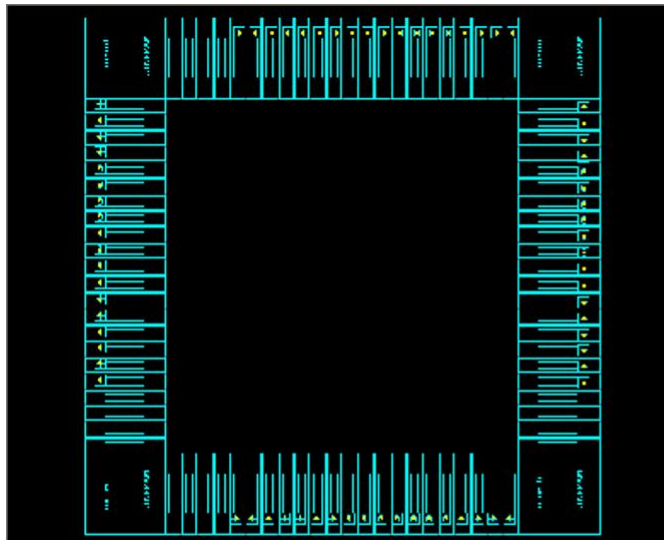
Low standard-cell utilization



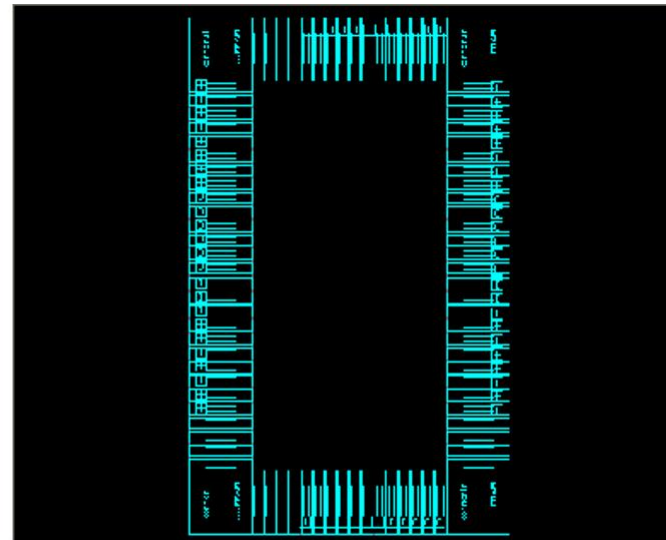
High standard-cell utilization

Aspect Ratio (长宽比)

- 布图长宽比 (Aspect Ratio) 布图是指垂直布线资源与水平布线资源之间的比例
 - 如果指定的长宽比是 布图1.00布图, 那么高度和宽度相同, 因此核心区域是一个正方形。
 - 如果指定的长宽比是 布图2.00布图, 则高度是宽度的两倍, 核心区域呈长方形。
- 长宽比的选择影响芯片的布局 and 布线设计, 通常根据设计需求和芯片功能来调整, 以优化布线效率和空间利用率。



Floorplan With No Options Specified



Floorplan With Aspect Ratio of 2.0

布线资源平衡

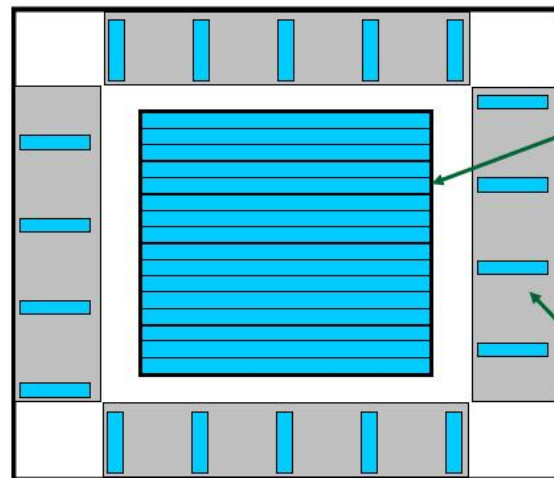
- 如果垂直布线资源较少，可以考虑将布图规划的宽度增加（即长宽比 布图 < 1 布图），以便增加垂直布线资源。
- 如果水平布线资源较少，可以考虑将布图规划的高度增加（即长宽比 布图 > 1 布图），以便增加水平布线资源。
- 这些调整可以帮助优化布线空间，减少拥堵，提高整体设计的效率和性能。

Note

Balancing vertical/horizontal routing resources reduces overall congestion

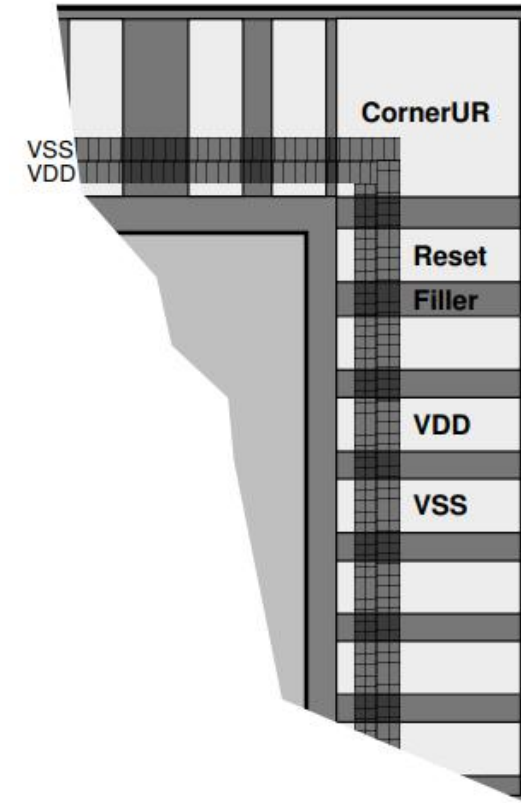
IO Pad

- Pad area consists of:
 - Input/Output/InOut pads
 - Power pads and corner pads
 - Pad fillers
 - P/G rings



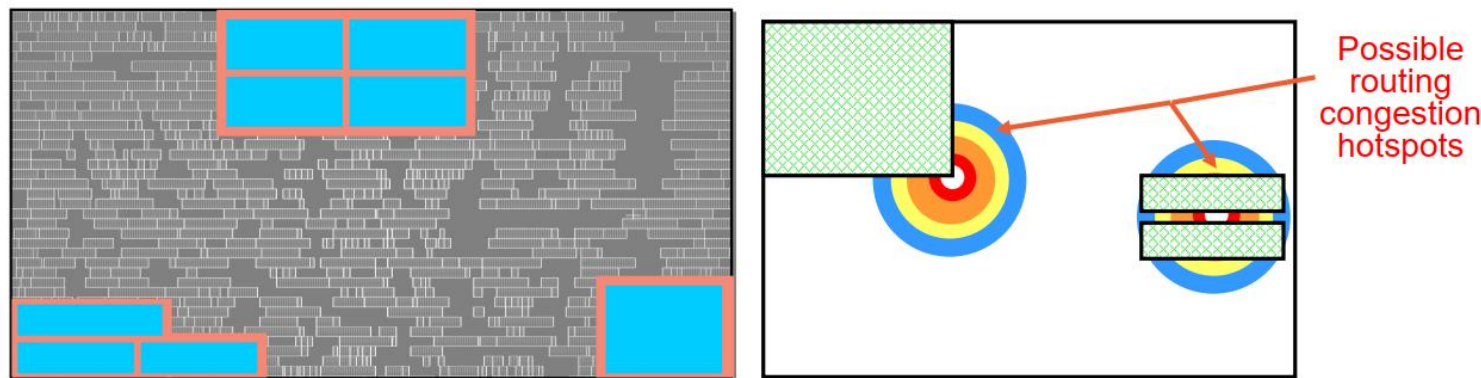
The large number of standard cells and macros determine die-size.

Pads use less than available periphery area.



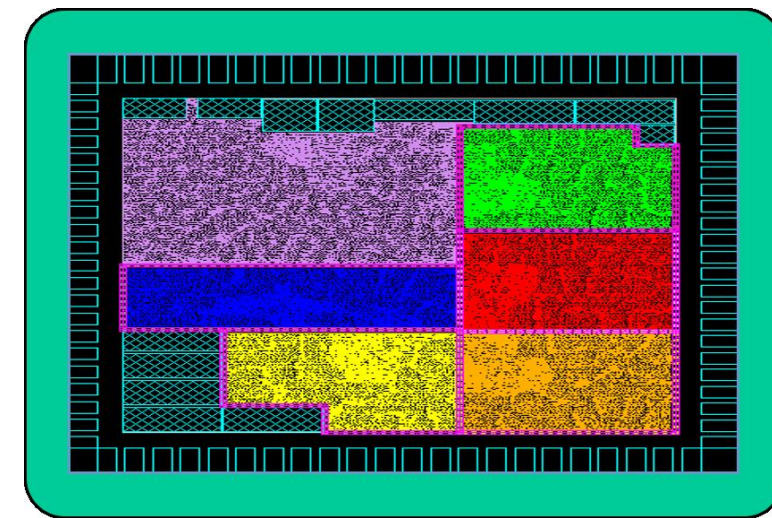
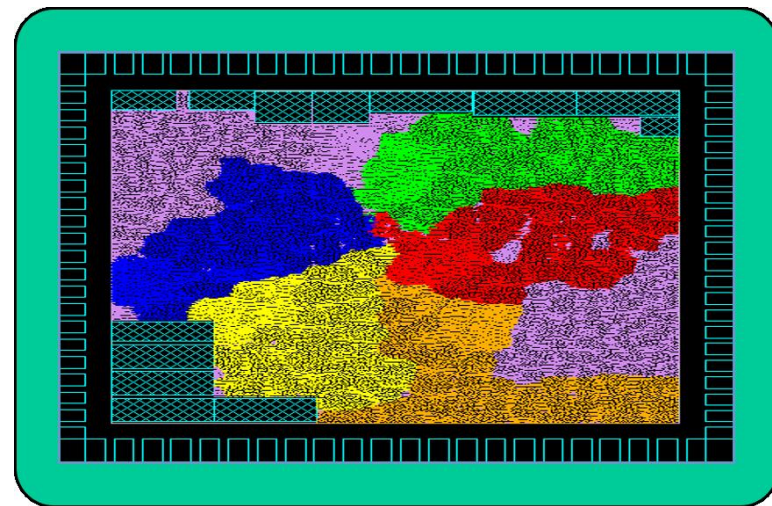
Hard Macro Placement (宏单元布局)

- 在放置宏单元时，必须考虑对布线、时序和功耗的影响。通常将它们推向布图规划的边沿。
- 放置大型宏单元的考虑因素：
 - 1. 布图布线、时序和功耗影响布图
 - 大型宏单元会占用大量区域，可能导致布线拥堵，影响时序和功耗。
 - 2. 布图放置位置布图
 - 布图一般情况下，放置算法在一个大的矩形区域中效果较好，能够更高效地进行单元布局。
 - 布图将功耗较高的宏单元放置在芯片中心以外的位置，以避免影响电源分配和布线。
 - 3. 布图标记已放置的硬宏单元布图
 - 布图在放置硬宏单元（如大型IP核心、复杂模块等）之后，应该将它们标记为 布图FIXED布图，
- 这些措施有助于优化芯片的布线、时序性能及功耗管理。



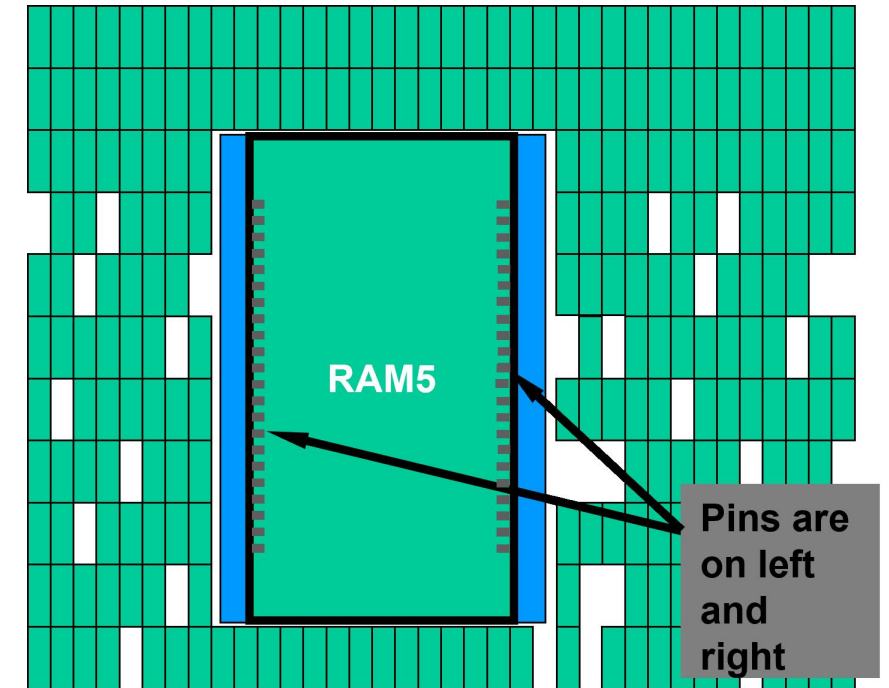
Placement Blockages (障碍) and Halos

- 有时，我们希望“帮助”工具将某些逻辑放置在特定区域或将它们聚集在一起。放置与布线工具定义了几种不同类型的放置约束：
- 1. 软引导 (Soft Guide)
 - 布图尝试将这些单元聚集在一起，但没有指定区域。
 - 布图这种约束提供的是一种建议，工具会尽量将这些单元放在一起，但不强制要求
- 2. 引导 (Guide)
 - 布图尝试将这些单元放置在指定的区域内。
 - 布图该约束指示工具将单元放置在给定区域，但不强制要求。
- 3. 区域 (Region)
 - 布图必须将这些单元放置在指定区域内，但其他单元也可以被放置在该区域。
 - 布图这是一个较强的约束，确保某些单元必须在指定的区域内，但其他单元的放置并不受限制。
- 4. 围栏 (Fence)
 - 布图必须将这些单元放置在指定区域内，并且禁止其他单元进入该区域。
 - 布图这是最强的约束，指定区域仅允许放置特定单元，其他单元无法进入该区域。



Placement Blockages and Halos

- 放置障碍光晕 (Placement Blockage Halos) 是工具在布局过程中不应放置任何单元的区域。这些障碍光晕有几种类型：
 - 1. 硬障碍 (Hard Blockage)
 - 布图该区域内 不能 放置任何单元。
 - 2. 软障碍 (Soft Blockage)
 - 布图该区域在放置过程中不可用，但在优化过程中可以使用。
 - 3. 部分障碍 (Partial Blockage)
 - 布图该区域有较低的利用率。
 - 4. 光晕 (Halo 或 Padding)
 - 布图宏单元外部的区域，应该保持清空，不放置标准单元。
 - 布图这种光晕区域用于提供缓冲空间，避免标准单元与宏单元的放置区域发生冲突，通常用于优化布线和减少干扰。

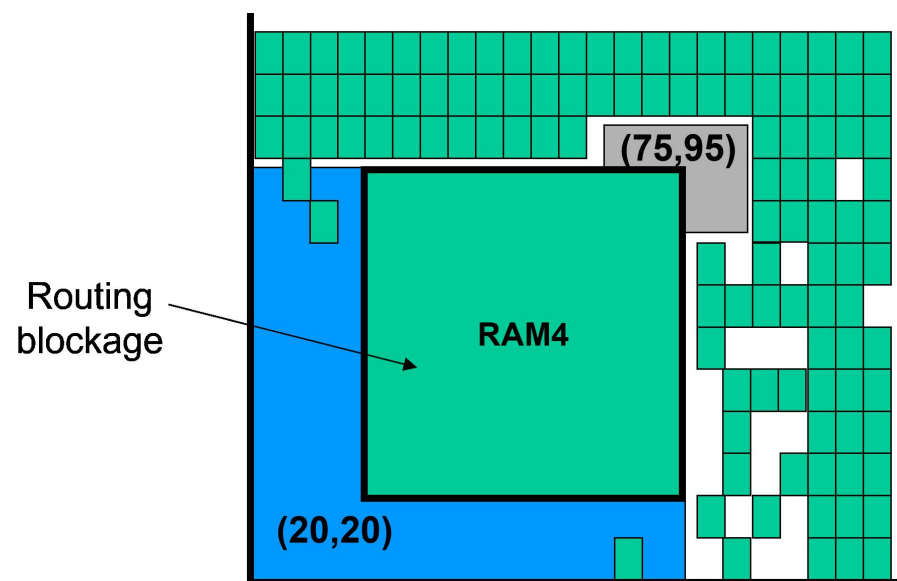


Note

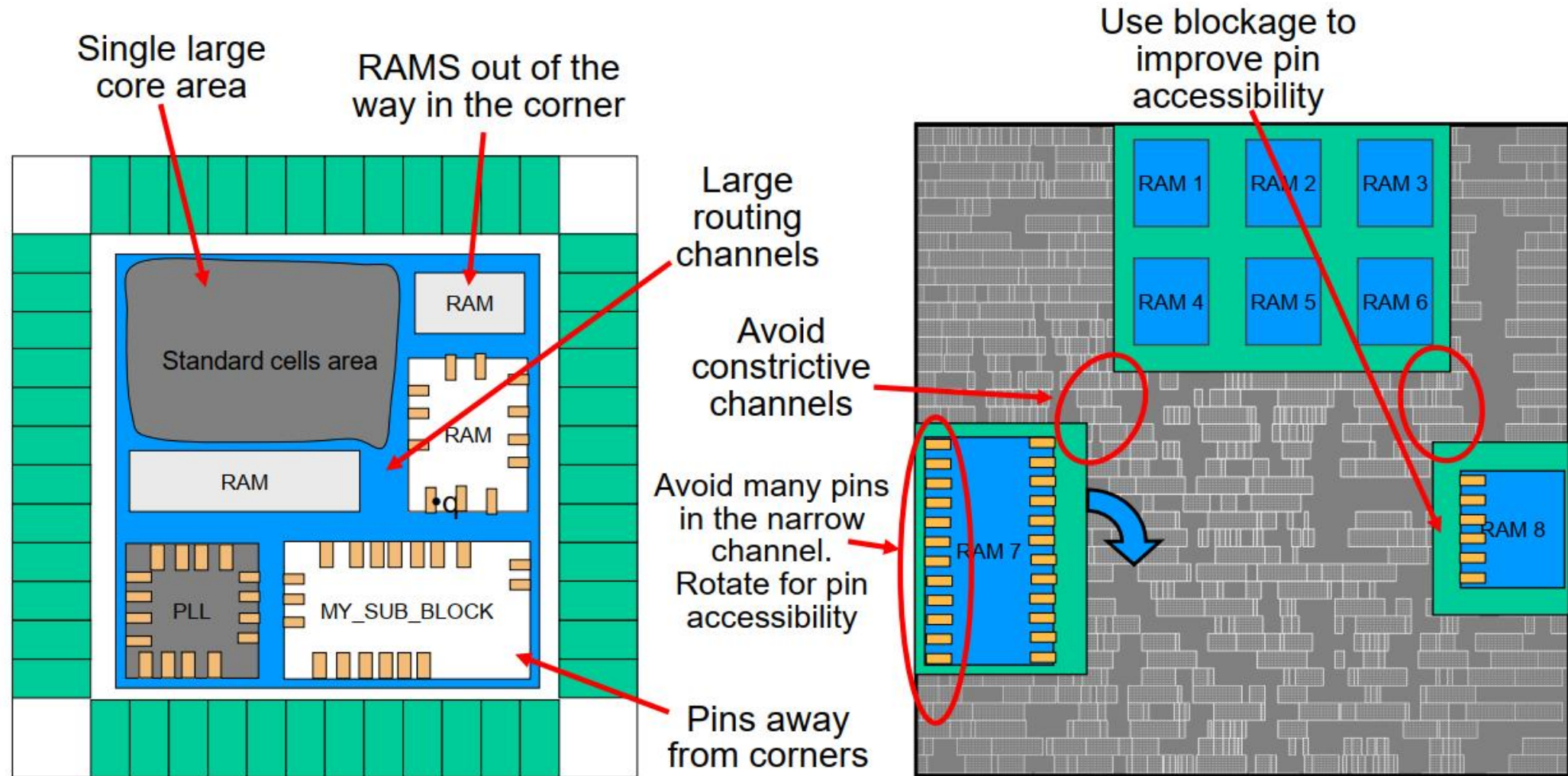
A keepout margin is a region around the boundary of fixed macros in the design in which no other cells are placed.

Routing Blockage (布线障碍)

- 布线路径障碍 (Routing Blockages) 用于在特定区域或金属层上阻止布线。这些障碍可以应用于所有网络，或者仅限于信号网络或电源/地 (PG) 网络。
- 布线路径障碍的作用：
 - 布线路径障碍是指在特定区域内，布线工具 不允许 进行布线的区域。
 - 这些障碍可以确保在关键区域 (如宏单元周围或敏感区域) 避免不必要的布线，确保布线资源的有效利用。
- 路径障碍的类型：
 - 1. 全网障碍 (All Nets)
 - 布图阻止所有网络的布线，包括信号网、电源网、地网等。
 - 2. 信号网障碍 (Signal Nets Only)
 - 布图仅阻止信号网的布线，而不影响电源或地网的布线。
 - 3. 电源/地网障碍 (PG Nets Only)
 - 布图仅阻止电源网或地网的布线，而不影响信号网的布线。

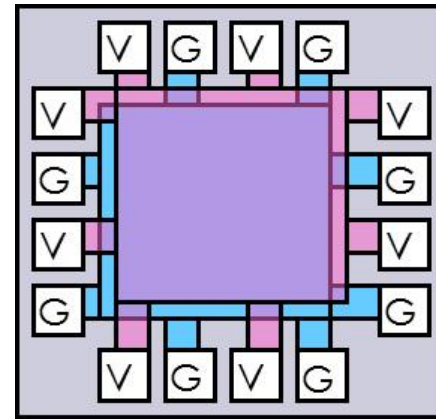
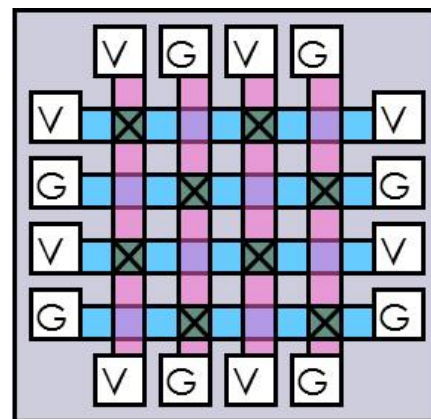
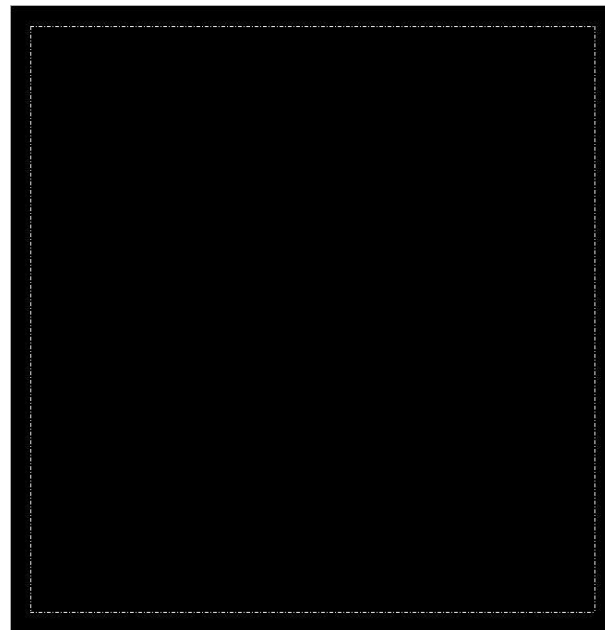


Guidelines for a good floorplan



Power Delivery Network (电源网络)

- 每个标准单元或宏单元都有电源和地面信号，即 VDD (电源) 和 GND (地面)。这些信号需要正确连接。
- 电源/地面网络 (Power/Ground Mesh) :
 - 电源/地面网络允许从电源 (P/G) 源到目标之间有多个路径。
 - 布图这提供了多个电流路径，有助于减少串联电阻，并提高电源分配的可靠性和效率
 - 较低金属层到较高金属层的层次化电源/地面网
 - 布图电源和地面网络通常是层次化的，确保在不同金属层之间建立连接。通过使用多个层次和多条通道，优化电源分配。
 - 多重过孔 (vias)
 - 布图在不同层之间使用多个过孔连接电源/地面网。通过这种方式，可以提高电源分配的均匀性和效率，减少电流分布的不均匀性。
 - 庞大的网络
 - 布图电源和地面网络通常非常庞大，涉及许多金属层和过孔连接。这要求在设计时要考虑到高效的电源和地面布线。
- 电源/地面布线特点：
 - 1. 电源/地面布线一般较为规则
 - 布图电源和地面布线通常是规则的，并且为了保证性能，布线资源一般是保留的。
 - 2. 布线资源保留
 - 布图电源/地面布线资源通常是保留的，确保它们有足够的布线路径和空间，以保证芯片的稳定性和功耗管理。



功耗和可靠性

Dynamic Power



Static Power
(Leakage Power)

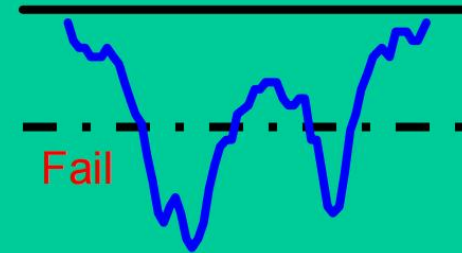


Floorplan
+
Design of the grid

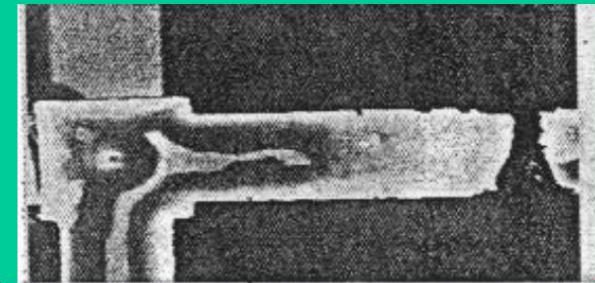
Average or
Instantaneous
Power problem

Power density
problem in the
Long run

IR-Drop /
Voltage Droop

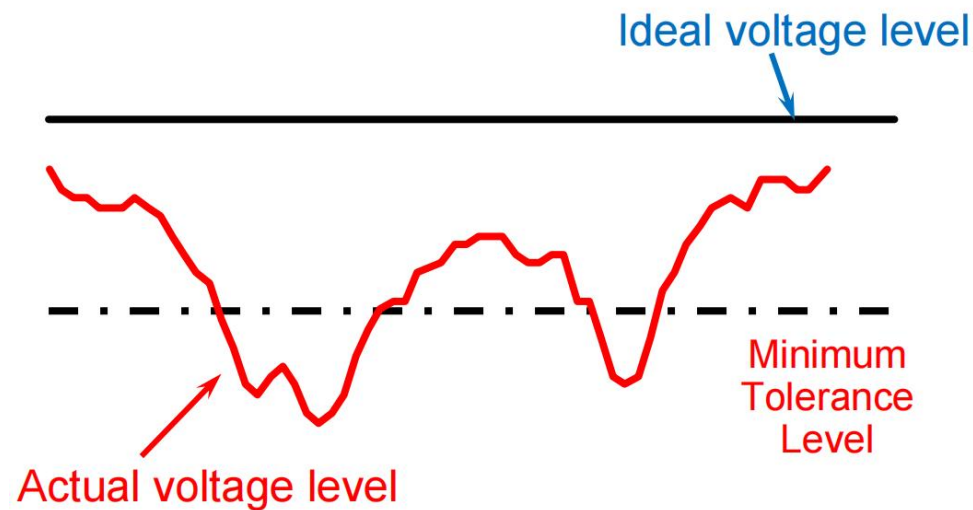
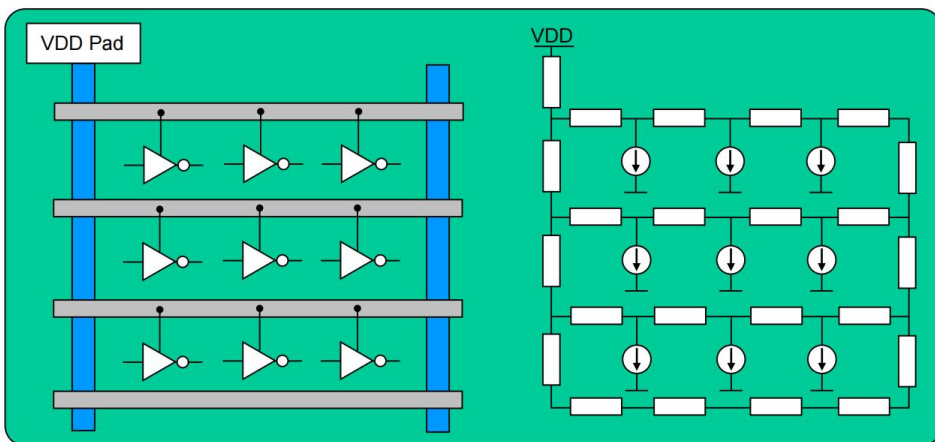


Electromigration
(EM)



IR Drop (电压降)

- IR降压 (IR Drop) **是指在电源线的长度上，由于电流通过电源/地面网络中的电阻所导致的电压下降。
- IR降压计算过程：
 - 电源网的电阻矩阵构建：电源网的电阻矩阵通过考虑每个电源节点和电源网中各个部分之间的电阻来构建。这个矩阵描述了电源网中各部分的电阻特性。
 - 考虑每个门的平均电流：每个逻辑门 (gate) 或单元的平均电流被计算出来。这个电流值用于进一步分析电源网的电流分布。
 - 求解电阻矩阵以确定每个节点的电流：使用电源网的电阻矩阵，并结合每个节点的电流，进行求解，确定网络中每个节点的电流分布情况。
 - 计算IR降压：通过分析电流在电源网中的分布，计算电源网中各节点的电压下降 (IR-drop) 。IR降压是电流通过电源线的电阻所造成的电压损失。



IR Drop

- Assume we have a 1mm long power rail in M1.
 - Square resistance is given to be 0.1 ohm/square
 - If we make a 100nm wide rail, what is the resistance of the wire?
 - Now, given a max current of 1mA/1um, due to Electromigration, what is the IR drop when conducting such a current through this wire?
- So what do we do?
 - Make the power rails as wide and as thick as possible!

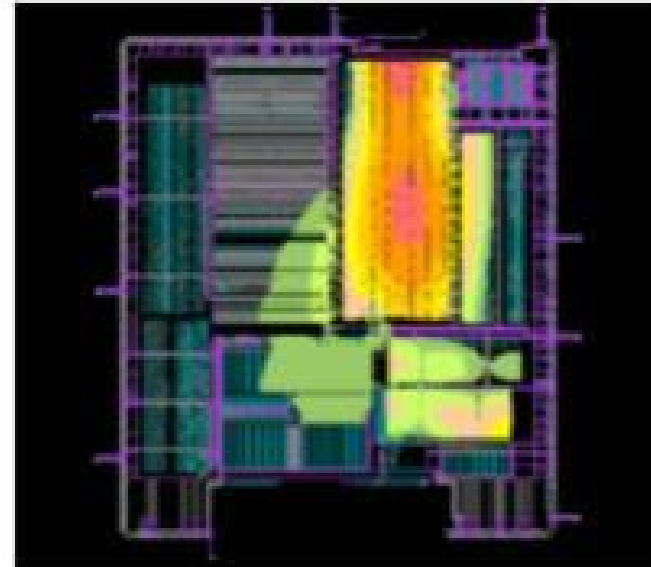
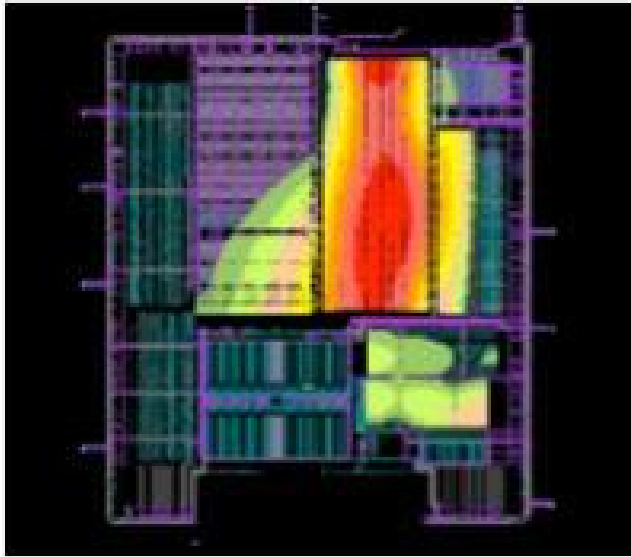
$$R = R_{\square} L/W = 0.1 \Omega/\square \cdot \frac{10^{-3}m}{100 \cdot 10^{-9}m} = 1000\Omega$$

$$I_{\max} = \frac{1\text{mA}}{1\mu\text{m}} \cdot 100\text{nm} = 0.1\text{mA}$$

$$IR_{\text{drop}} = I_{\max} \cdot R_{\text{wire}} = 10^{-4} \cdot 10^3 = 100\text{mV}$$

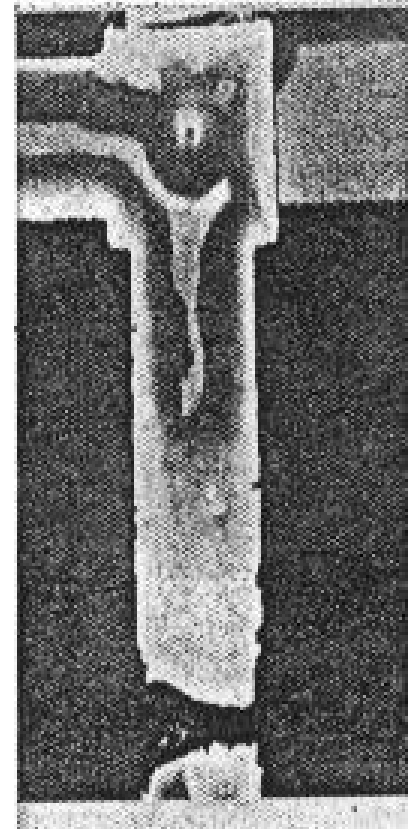
Hot Spots

- We generally map the IR drop of a chip using a color map to
- highlight “hot spots” , where the IR drop is bad.



Electromigration (EM)

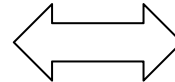
- Electromigration refers to the gradual displacement of the metal atoms of a conductor as a result of the current flowing through that conductor.
 - Transfer of electron momentum
- Can result in catastrophic failure do to either
 - Open : void on a single wire
 - Short : bridging between to wires
- Even without open or short, EM can cause performance degradation
 - Increase/decrease in wire RC



IR Drop vs. Routing Resource

More (Wider) Power Lines:

- Less Static (IR) drop
- Less Dynamic (dI/dt) drop
- Less Electromigration

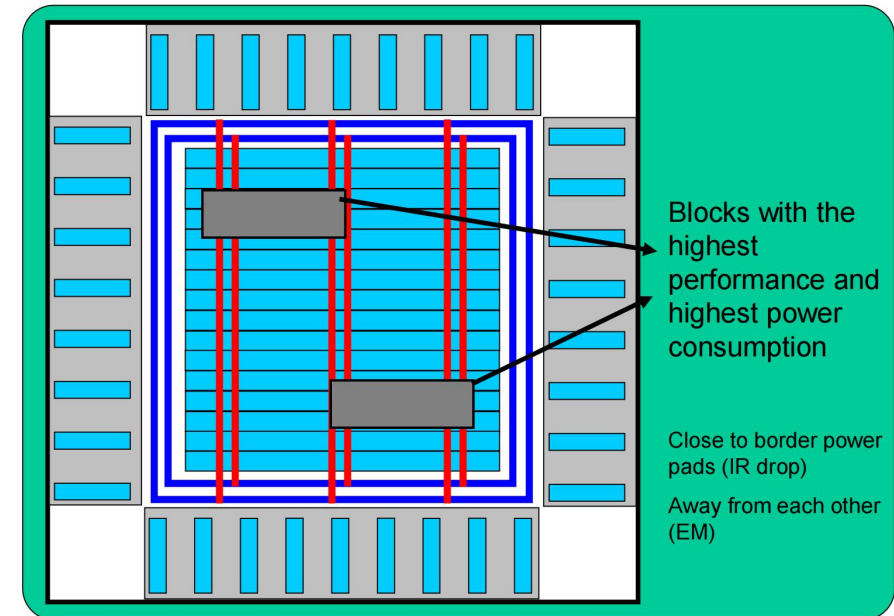


More (Wider) Power Lines:

- Fewer (signal) routing resources
(i.e., higher congestion)

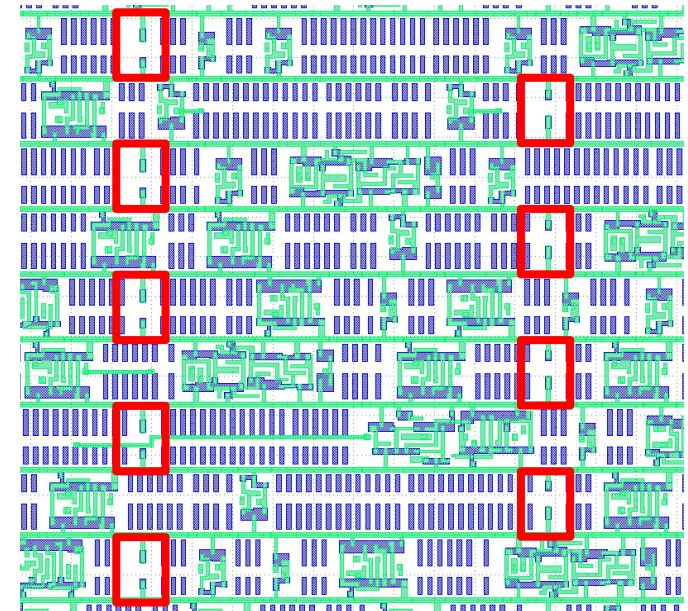
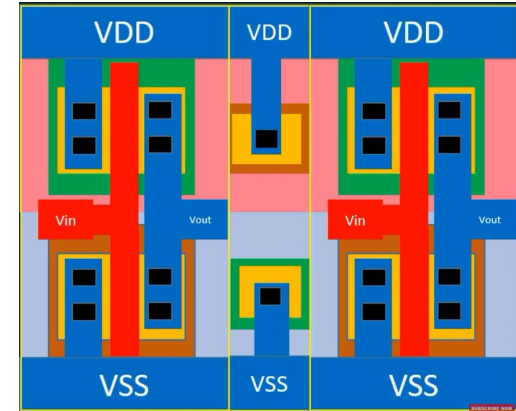
Power Grid Creation

- Tradeoff IR drop and EM versus routing resources
 - Require power budget
 - Initial power estimation
 - Average current, max current density
- Need to determine
 - General grid structure (gating or multi-voltage?)
 - Number and location of power pads (per voltage)
 - Metal layers to be used
 - Width and spacing of straps
 - Via stacks versus available routing tracks
 - Rings / no rings
 - Hierarchical block shielding
- Run initial power network analysis to confirm design



Place TapCell

- 问题描述：在floorplan阶段，设计者需求放置TapCell。
- 闩锁效应：电源VDD和GND之间寄生的PNP和NPN双极性BJT相互影响产生的一低阻抗通路，使得VDD和GND之间产生大电流。
- 防止闩锁(Latch up)的方法：
 - 在sub上改变参杂，降低BJT的增益；
 - 使用Guard ring。P+ring环绕NMOS接GND，N+ring绕PMOS接VDD。
 - Tap cell 就是起到类似Guard ring的作用，用来减少Latch up的。



01

布图规划

02

宏单元布局

宏单元布局

- **问题描述**: 给定 n 个**矩形块**, 和矩形块之间的**连接线网**, 版图规划问题是为了将这些矩形块**无重叠**的放一起, 使得 n 个矩形块的**外接矩形面积最小**且矩形块之间的**线网总长度最小**。

- **模型**

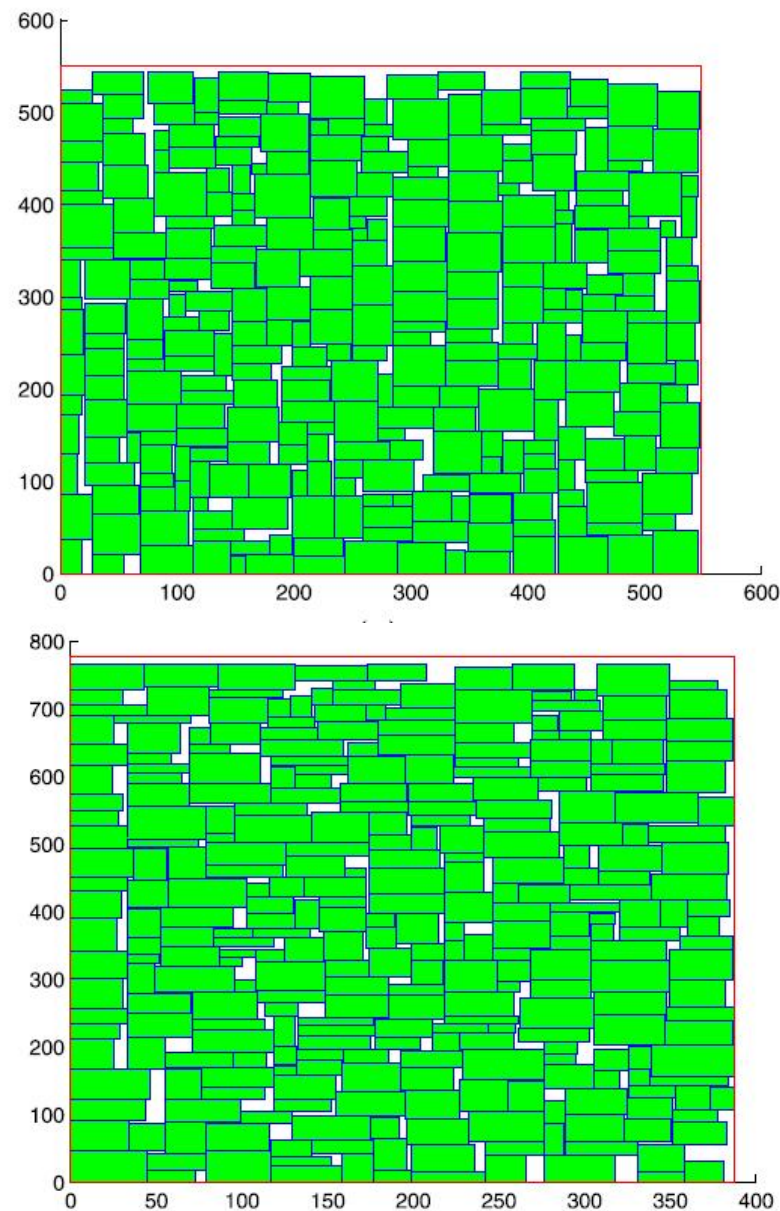
$$\begin{aligned} \min \quad & A + W \\ \text{s.t.} \quad & \begin{cases} \Theta_{ij}(x_i, y_i, x_j, y_j) = 0, & 1 \leq i \leq n, 1 \leq j \leq n, \\ 0 \leq x_i, x_i + w_i \leq W_0, & 1 \leq i \leq n; \\ 0 \leq y_i, y_i + h_i \leq H_0, & 1 \leq i \leq n. \end{cases} \end{aligned}$$

$$A = W' \times H',$$

$$W = \sum_{1 \leq i \leq e} W_i. \quad W_i = \max_{m_i, m_j \in N_i} |x_i - x_j| + \max_{m_i, m_j \in N_i} |y_i - y_j|.$$

- **求解**

- **整数规划, 启发式算法, 连续优化, 深度学习**



- **方法 (How)**

- **启发式方法**: 一种数值优化技术, 用于在因空间过大而普通搜索方法无法取得结果的情况下搜索解决方案。
- **基于多级框架的贪心算法**: 贪心算法是一种常用的求解最优化问题的方法。它的基本思想是通过每一步的局部最优解来构建全局最优解。
- **解析法**: 建模成数学模型, 使用最优化方法计算出宏单元的位置。
- **AI**: 强化学习, Google 发表在nature

宏单元布局表达式发展历程

- **Slicing Tree**^[1] 布图 **1986**
- **Sequence pair**^[2] - **1995**
- O-tree^[3] - **1999**
- **B*-tree**^[4] - **2000**
- Corner Block List^[5] - **2000**
- Corner Sequence^[6] - **2003**
- Twin Binary Sequence^[7] - **2003**
- TCG, TCG-S^[8] - **2004**
- ACG^[9] - **2004**

Represent.	Solution Space	Packing Time	Guarantee Feasible Perturbations?	Flexibility
SP	$(n!)^2$	$O(n^2)$	O	4
BSG	$n! C(n^2, n)$	$O(n^2)$	O	4
TCG	$(n!)^2$	$O(n^2)$	O	4
TCG-S	$(n!)^2$	$O(n \lg n)$	O	4
O-tree	$O(n!2^{2n}/n^{1.5})$	$O(n)$	⊗	3
B*-tree	$O(n!2^{2n}/n^{1.5})$	$O(n)$	⊗	3
CS	$O((n!)^2)$	$O(n)$	⊗	3
CBL	$O(n!2^{3n})$	$O(n)??$	X	2
Normalized Polish Exp.	$O(n!2^{2.6n}/n^{1.5})$	$O(n)$	O	1

[1] D. Wong and C. Liu, "A new algorithm for floorplan design," in Proc. Des. Autom. Conf. (DAC), 1986, pp. 101–107.

[2] H. Murata, K. Fujiyoshi, S. Nakatake, and Y. Kajitani, "Rectanglepacking-based module placement," in Proc. Int. Conf. Comput.-Aided Design (ICCAD), 1995, pp. 472–479.

[3] P.-N. Guo, C.-K. Cheng, and T. Yoshimura, "An O-tree representation of non-slicing floorplan and its applications," in Proc. Des. Autom. Conf. (DAC), 1999, pp. 268–273.

[4] Y.-C. Chang, Y.-W. Chang, G.-M. Wu, and S.-W. Wu, "B*-trees: A new representation for non-slicing floorplans," in Proc. Des. Autom. Conf. (DAC), 2000, pp. 485–463.

[5] X. Hong, G. Huang, Y. Cai, J. Gu, S. Dong, C.-K. Cheng, and J. Gu, "Corner block list: an effective and efficient topological representation of non-slicing floorplan," in Proc. Int. Conf. Comput.-Aided Design (ICCAD), 2000, pp. 8–12.

[6] J.-M. Lin, Y.-W. Chang, and S.-P. Lin, "Corner sequence 布图 a P-admissible floorplan representation with a worst case linear-time packing scheme," IEEE Trans. Very Large Scale Integr. VLSI Syst., vol. 11, no. 4, pp. 679–686, 2003.

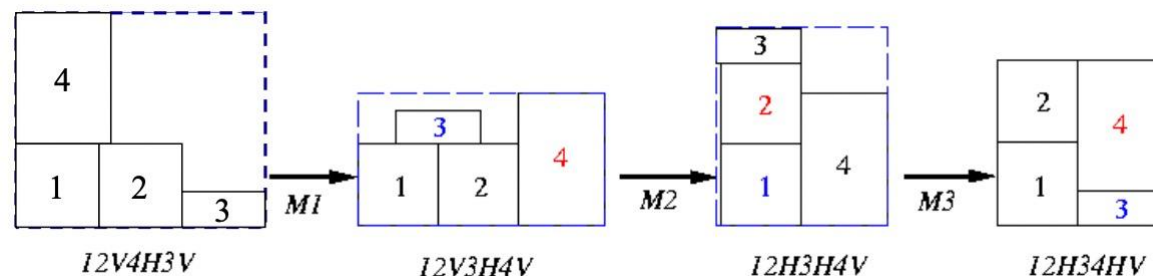
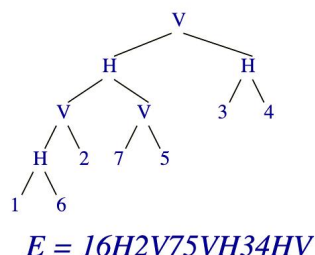
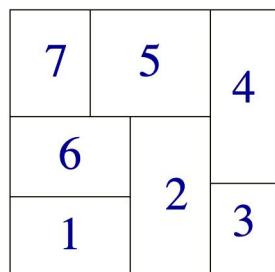
[7] E. F. Young, C. C. Chu, and Z. C. Shen, "Twin binary sequences: A nonredundant representation for general nonslicing floorplan," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol. 22, no. 4, pp. 457–469, 2003.

[8] J.-M. Lin and Y.-W. Chang, "TCG-S: orthogonal coupling of P*admissible representations for general floorplans," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol. 23, no. 6, pp. 968–980, 2004.

[9] H. Zhou and J. Wang, "ACG-adjacent constraint graph for general floorplans," in Proc. Int. Conf. Comput. Aided Design (ICCAD), 2004, pp. 572–575.

- 切片树 (Slicing tree)

- 表达式



- 扰动

- M1 (Operand Swap): Swap two adjacent operands.
- M2 (Chain Invert): Complement some chain ($V = H$, $H = V$).
- M3 (Operator/Operand Swap): Swap two adjacent operand and operator.

- Packing: 逆波兰式, 后缀表示法- $O(n)$

- 解空间: $O(n!2^{2.6n}/n^{1.5})$

优点: 简单易实现, 解空间小, packing效率快
缺点: 只能表示slicing 结构。

- 序列对 (Sequence pair)

- 表达式

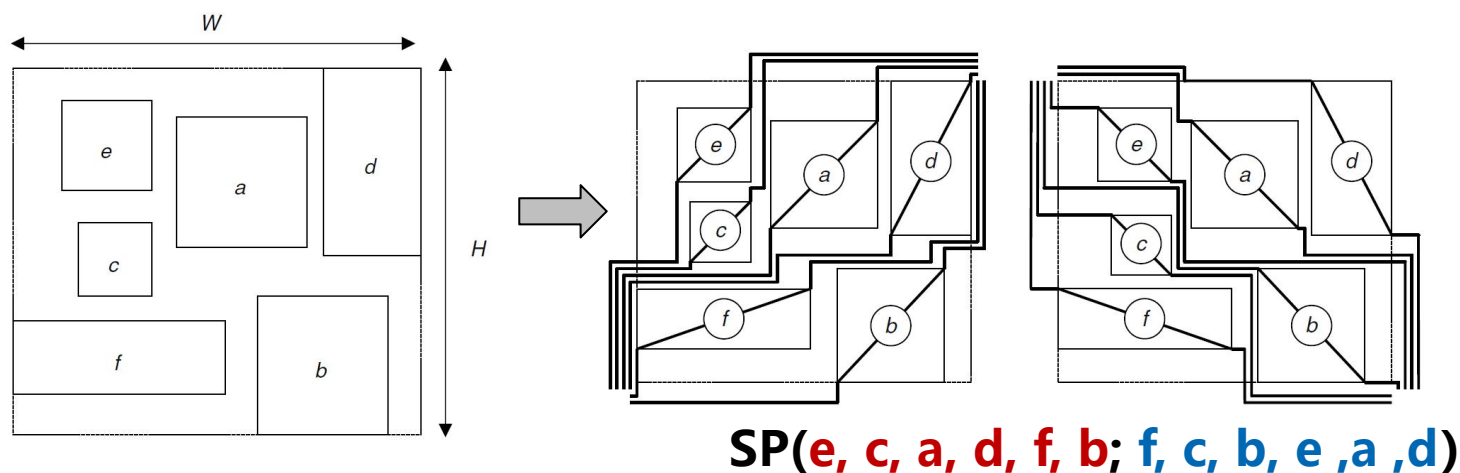
- 正序列：所有正轨迹，从上往下排序
- 负序列：所有负轨迹，从下往上排序

- 基于最长公共子序列^[2] - $O(n \log n)$

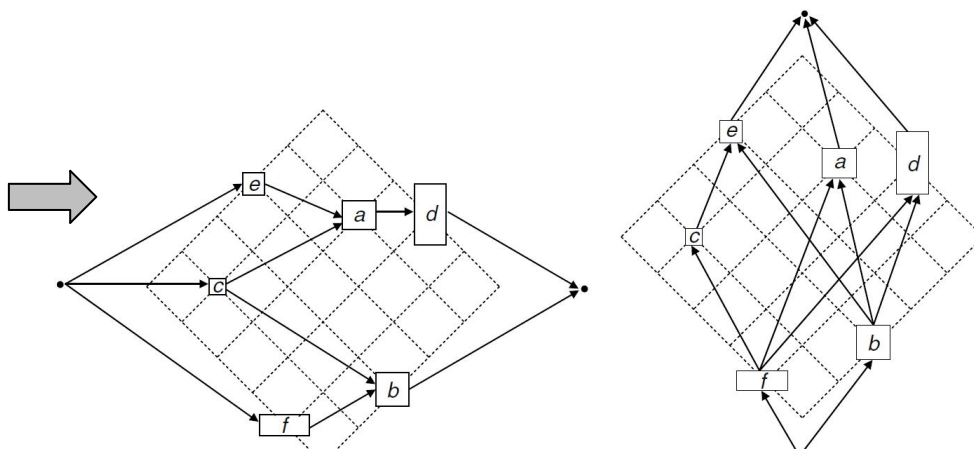
- 解空间： $O(n!)^2$

- 构造时间： $O(n^2) = O(n+e)$

优点：可以表示任合版图，pack效率可接受
缺点：解空间大，packing算法复杂

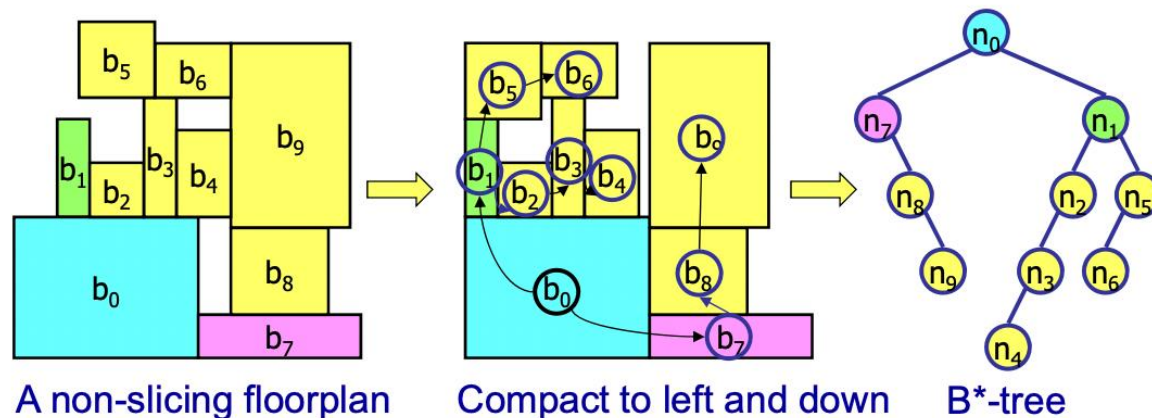


e在c的左边，f在c的下面



- B*-tree^[1]

- 表达式



- Packing:

- x坐标:

布图左子节点: 右侧相邻方块中最低的块 ($x_j = x_i + w_i$)。

布图右子节点: 上方第一个具有相同x坐标的块 ($x_j = x_i$)。

- y坐标:

布图左子节点: 具有相同y坐标的上方第一个块 ($y_j = y_i$)。

布图右子节点: 右侧相邻方块中最低的块 ($y_j = y_i + h_i$)。

- 解空间: $O(n!2^{2n}/n^{1.5})$

- 构建时间复杂度: $O(n)$

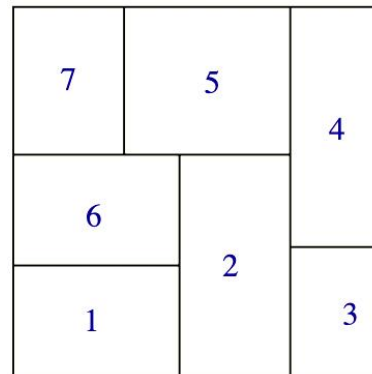
优点: 简单易实现, 解空间小, packing效率快, 可以表示non-slicing版图
缺点: 只能有compacted结构

[1] Y.-C. Chang, Y.-W. Chang, G.-M. Wu, and S.-W. Wu, "B*-trees: A new representation for non-slicing floorplans," in Proc. Des. Autom. Conf. (DAC), 2000, pp. 485–463.

启发式方法

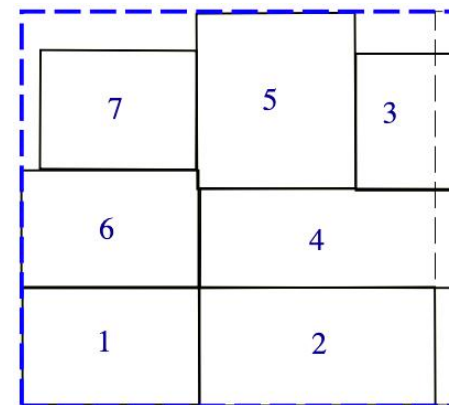
启发式方法

- Step1: 产生初始版图, 版图表达成树形数据结构;
- Step2: 在树形数据结构上进行扰动;
- Step3: 评估扰动后的解的目标函数;
- Step4: 判断是否接受扰动后的解;
- Step5: 回到Step2, 直到终止条件满足;



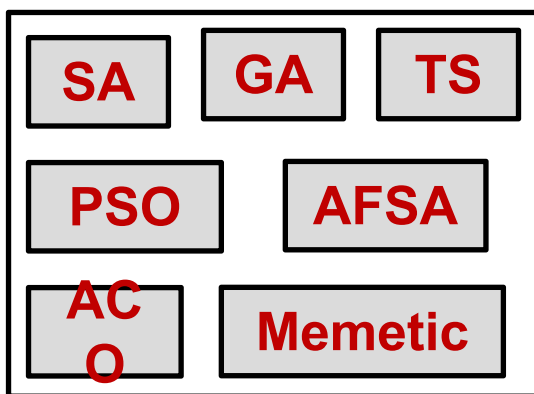
$E_1 = 16H2V75VH34HV$

表达式



$E_2 = 16H7H24H53VHV$

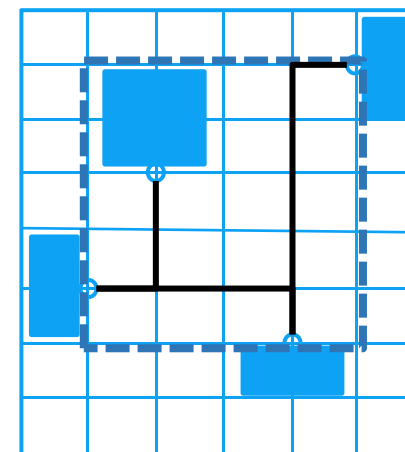
产生新解



$$\Delta Cost = Cost(E_2) - Cost(E_1)$$

$$cost(E) = \lambda WL(E) + Area(E)$$

- Area: area of the smallest rectangle
- WL : overall wirelength
- λ : user-specified parameter

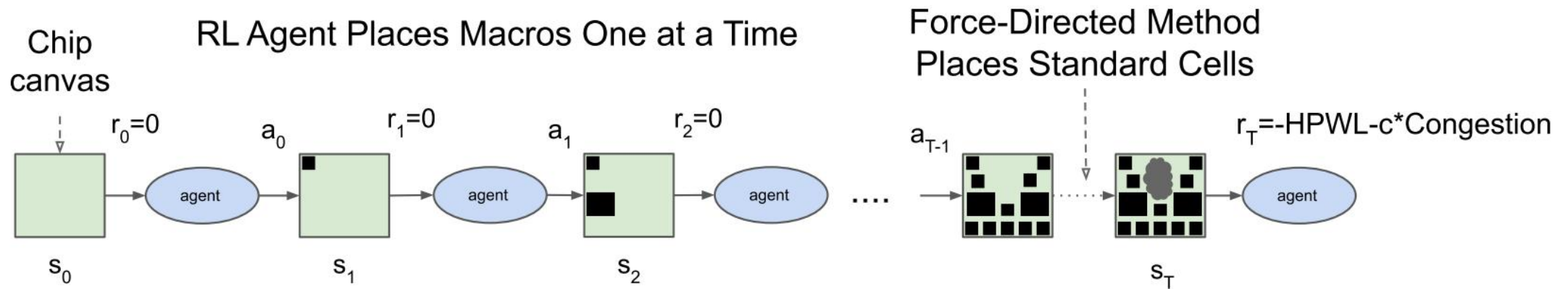


半周长线长

$$WL_{HPWL}(x, y) = \sum_{e \in E} \left(\max_{m_i, m_j \in e} |x_i - x_j| + \max_{m_i, m_j \in e} |y_i - y_j| \right)$$

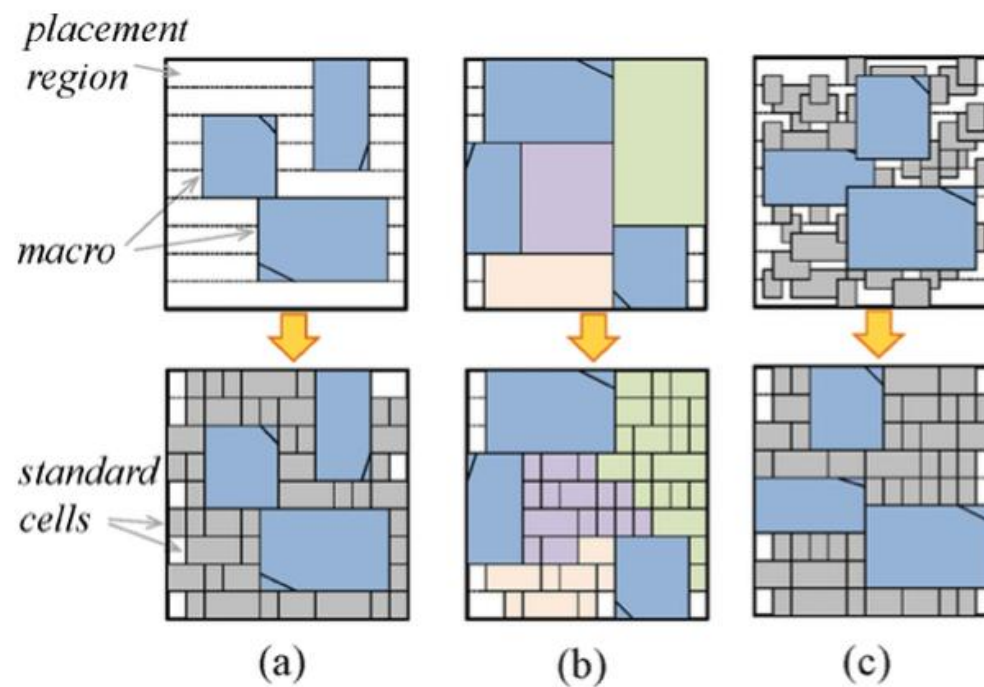
宏单元布局求解方法

- **强化学习+图神经网络**
 - 将网表和Macro表达成Graph,
 - 每放一个macro表示动作, 在图上进行强化学习训练;
 - 用训练后的模型进行Macro放置



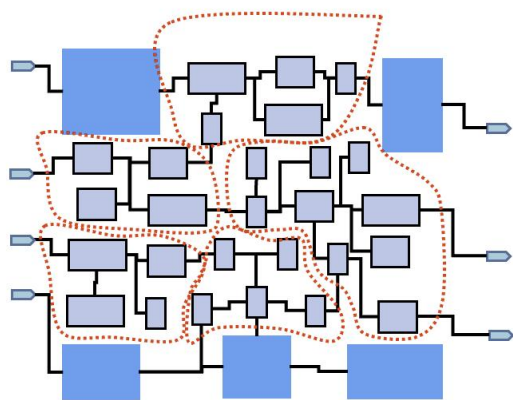
宏单元与标准单元布局

- 如何处理宏单元与标准单元之间的关系？
 - Mixed-Size Placement

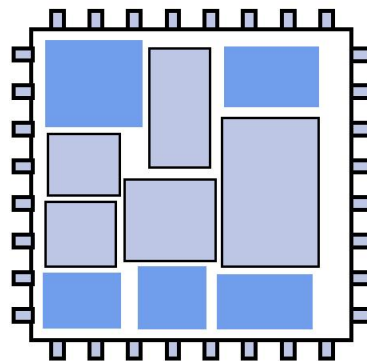


宏单元与标准单元布局

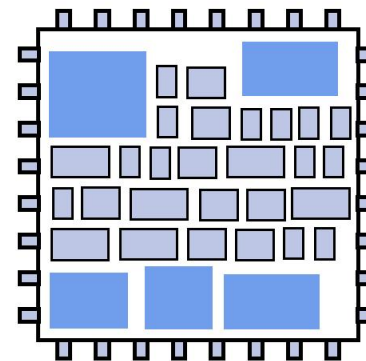
- 如何处理宏单元与标准单元之间的关系？
 - 划分：



划分



宏单元布局

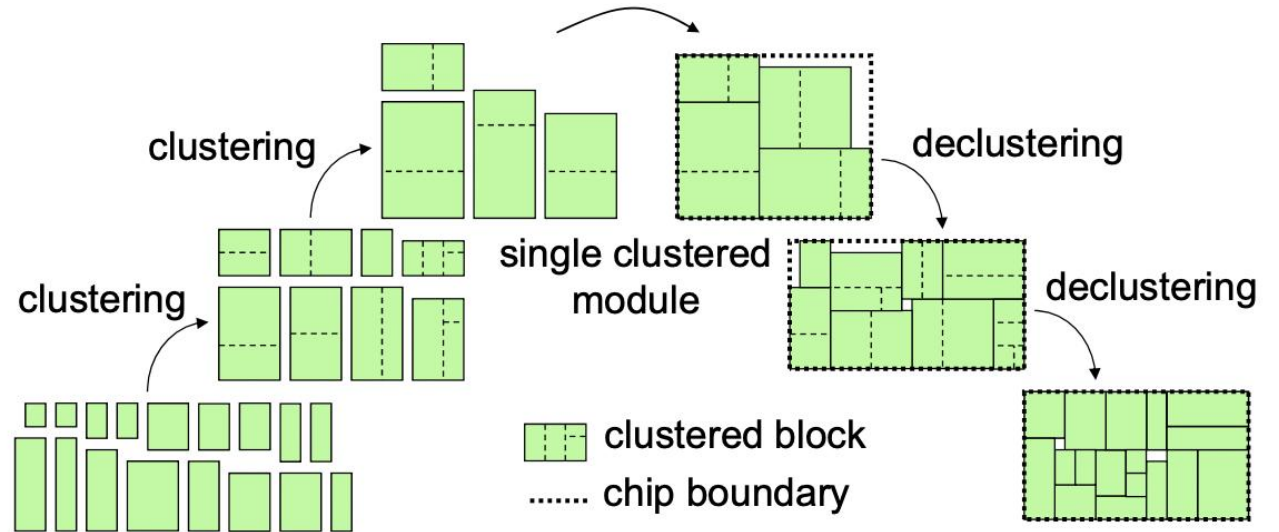


标准单元布局

基于多级框架

为了应对大规模宏单元布局需求，基于多级框架的贪心方案被提出：

- MB*-tree^[1] -2003
- Capo^[2] -2004
- IMF^[3] -2008
- Defer^[4] -2010
- Qinfer^[5] -2021



[1] H.-C. Lee, Y.-W. Chang, J.-M. Hsu, and H. Yang, "Multilevel floorplanning/placement for large-scale modules using B*-trees," in Proc. Des. Autom. Conf. (DAC), 2003, pp. 812–817.
[2] S. Adya, S. Chaturvedi, J. Roy, D. Papa, and I. Markov, "Unification of partitioning, placement and floorplanning," in Proc. Int. Conf. Comput. Aided Design (ICCAD), 2004, pp. 550–557.
[3] T.-C. Chen, Y.-W. Chang, and S.-C. Lin, "A new multilevel framework for large-scale interconnect-driven floorplanning," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol. 27, no. 2, pp. 286–294, 2008.
[4] J. Z. Yan and C. Chu, "Defer: Deferred decision making enabled fixed-outline floorplanning algorithm," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol. 29, no. 3, pp. 367–381, 2010.
[5] P. Ji, K. He, Z. Wang, Y. Jin, and J. Wu, "A quasi-newton-based floorplanner for fixed-outline floorplanning," Comp. Oper. Res., vol. 129, p. 105225, 2021.

基于解析法Macro Placement

- 设 $W(\mathbf{x}, \mathbf{y})$ 为线长，则布图规划问题可以被描述如下：

$$\begin{aligned} \min \quad & W(\mathbf{x}, \mathbf{y}) \\ \text{s.t.} \quad & \text{overlap} = 0 \\ & \text{aspect ratio is suitable} \\ & \text{all modules are within the fixed-outline.} \end{aligned}$$

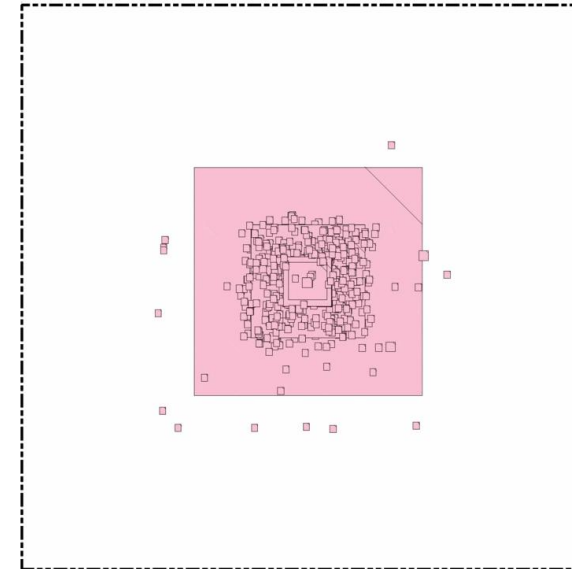
- 将整个固定边框区域划分为 $K \times K$ 个bin，则布图规划问题可以被建模为如下模型：

$$\begin{aligned} \min \quad & W(\mathbf{x}, \mathbf{y}) \\ \text{s.t.} \quad & D_b(\mathbf{x}, \mathbf{y}) \leq M_b \quad \text{for each bin } b \end{aligned}$$

Minimize wirelength
 D_b : density for bin b
 M_b : max density for bin b

- 通过罚参数法，将有约束问题转化为无约束问题：

$$\min \quad \hat{W}(\mathbf{x}, \mathbf{y}) + \lambda \sum_b \max(D_b(\mathbf{x}, \mathbf{y}) - M_b, 0)^2$$



- Analytical ^[1] -2006
- AR ^[2] -2008
- UFO ^[3] -2011
- F-FM ^[4] -2014
- Ref. ^[5] -2021
- PeF^[6] -2023

[1] Y. Zhan, Y. Feng, and S. S. Sapatnekar, "A fixed-die floorplanning algorithm using an analytical approach," in Proc. Asia South Pac. Des. Autom. Conf. (ASP-DAC), 2006, pp. 771–776.

[2] C. Luo, M. F. Anjos, and A. Vannelli, "Large-scale fixed-outline floorplanning design using convex optimization techniques," in Proc. Asia South Pac. Des. Autom. Conf. (ASP-DAC), 2008, pp. 198–203.

[3] J.-M. Lin and Z.-X. Hung, "UFO: Unified convex optimization algorithms for fixed-outline floorplanning considering pre-placed modules," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol. 30, no. 7, pp. 1034–1044, 2011.

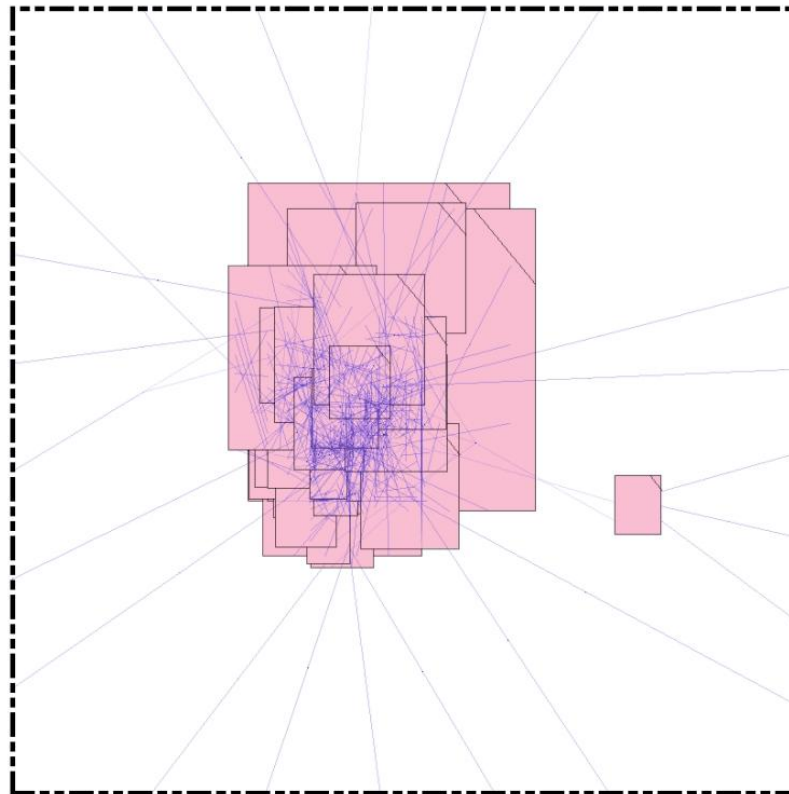
[4] J.-M. Lin and J.-H. Wu, "F-FM: Fixed-outline floorplanning methodology for mixed-size modules considering voltage-island constraint," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol. 33, no. 11, pp. 1681–1692, 2014.

[5] J.-M. Lin, T.-T. Chen, H.-Y. Hsieh, Y.-T. Shyu, Y.-J. Chang, and J.-M. Lu, "Thermal-aware fixed-outline floorplanning using analytical models with thermal-force modulation," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol. 29, no. 5, pp. 985–997, 2021.

[6] X. Li, K. Peng, F. Huang, and W. Zhu, "PeF: Poisson's equation based large-scale fixed-outline floorplanning," IEEE Trans. Comput. Aided Des. Integr. Circuits Syst., vol. 42, no. 6, pp. 2002–2015, 2023.

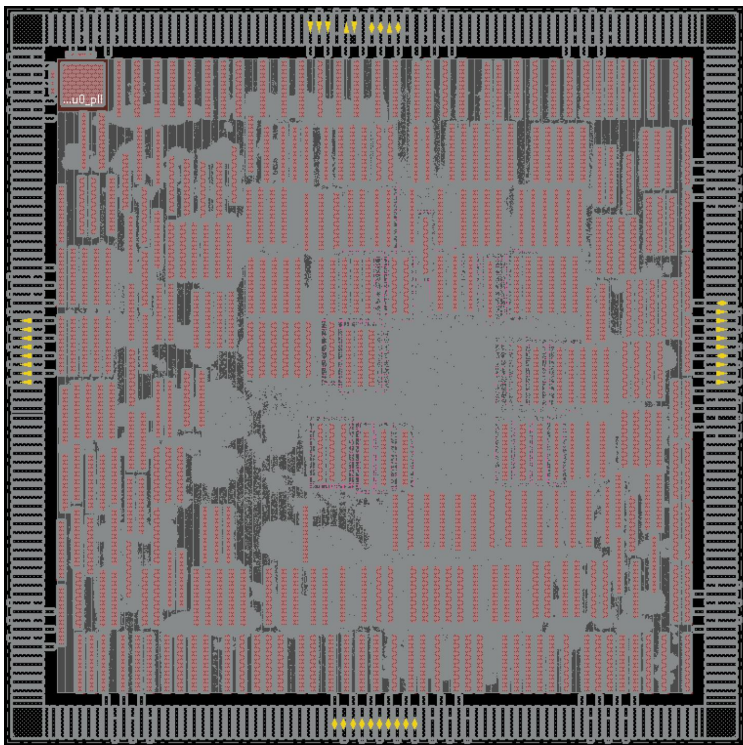
考虑旋转的Macro Placement

"Handling Orientation and Aspect Ratio of Modules in Electrostatics-based Large Scale Fixed-Outline Floorplanning", ICCAD-2023. (accepted)



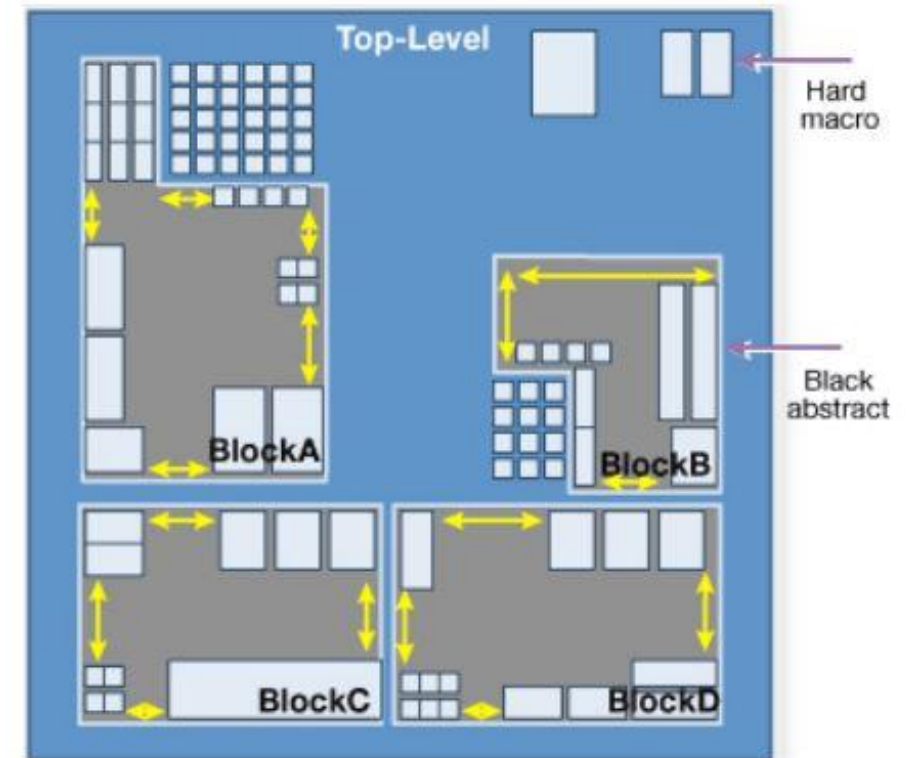
iEDA的宏单元布局方案

- iEDA的macro placement工具iMP采用的解决方案
 - 模拟退火+解析法+智能参数优化



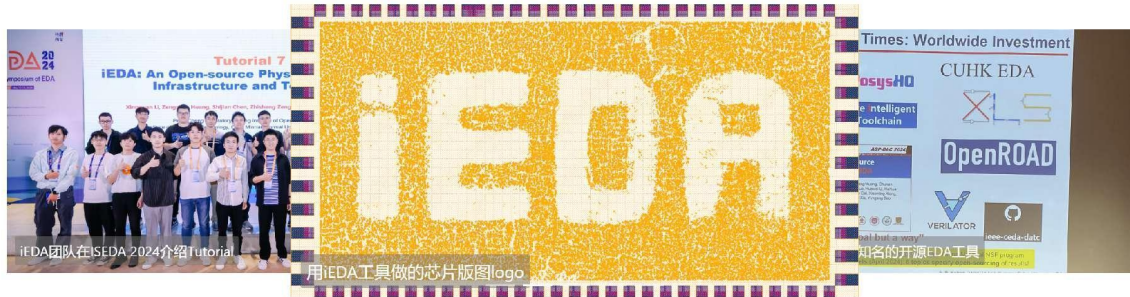
Hierarchical Approach

- Chip is partitioned into smaller blocks
- Each block is P&R'ed individually
- Blocks are integrated back into the chip
- Chip has:
 - Pads (signal and P/G)
- Block has:
 - Pins (signal and P/G)
- Blocks can be rectangular or rectilinear in shape.



Conclusions

- Floorplanning
 - Input & Output
 - Die, Core Size
 - IO
 - Macro
 - Power Deliver Network
 - Tapcell
- Macro Placement
 - Representation
 - Optimization



最新动态



开源EDA RISC-V

2024-8-20

iEDA团队在第四届RISC-V中国峰会组织OSED论坛



EDA 芯片 开源 智能

2024-7-20

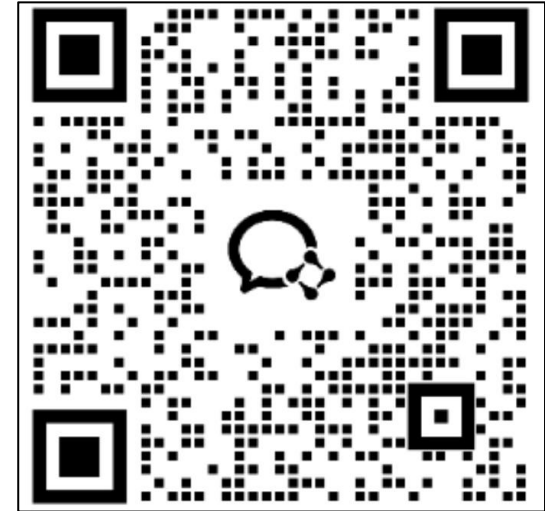
iEDA团队在第二届CCF芯片大会组织开源智能EDA论坛



EDA DAC

2024-06-24

iEDA团队参加61届Design Automation



Thanks

iEDA website: ieda.oscc.cc

李兴权 (Xingquan Li)
fzulxq@gmail.com